

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 9 月 2 4 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 2 7 1 3 3 0 号

アキタ

出 願 人

Applicant (s):

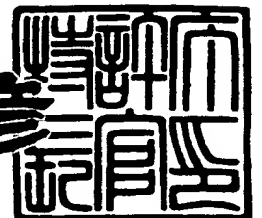
株式会社リコー

JP9902/60

2 0 0 0 年 6 月 2 9 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 5 0 7 9 5

【書類名】 特許願

【整理番号】 9902160

【提出日】 平成11年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 画像処理装置

【請求項の数】 4

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 田中 智憲

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社 リコー

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100106758

【弁理士】

【氏名又は名称】 橘 昭成

【選任した代理人】

【識別番号】 100108338

【弁理士】

【氏名又は名称】 七條 耕司

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808513

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 2 次記憶装置に記憶した画像データを読み出して半導体メモリに展開し、前記展開した画像データを半導体メモリから読み出しラスタ形式でライン毎に順次出力する記憶制御手段を有する画像処理装置において、

前記半導体メモリからの転送処理が前記半導体メモリへの入力処理に追い付かれた状態になったときに、エラー情報を出力する手段を備えていることを特徴とする画像処理装置。

【請求項 2】 2 次記憶装置に記憶した画像データを読み出して半導体メモリに展開し、前記展開した画像データを半導体メモリから読み出しラスタ形式でライン毎に順次出力する記憶制御手段を有する画像処理装置において、

外部から入力される画像データを半導体メモリへ書き込む処理の処理ライン数を計数する入力処理ライン数計数手段と、

前記半導体メモリから画像データを 2 次記憶装置へ転送する処理の処理ライン数を計数する転送処理ライン数計数手段と、

前記入力処理ライン数計数手段による入力処理ライン数から、前記転送処理ライン数計数手段による転送処理ライン数を減算し、処理したライン数の差を算出するライン差分算出手段と、

前記ライン差分算出手段による処理ライン数の差が 0 となったことによって転送処理を一時停止し、1 以上となると転送処理を再開する様に制御されるメモリの書き込み及び読み出しが時分割で並行して実行可能なメモリアクセス制御手段と、

前記ライン差分算出手段による処理ライン数の差が所定値以上となるとエラー信号を外部へ出力するエラー信号出力手段と、
を備えていることを特徴とする画像処理装置。

【請求項 3】 前記差分ライン数と比較対象となる所定値を任意に設定可能な設定手段を備えていることを特徴とする請求項 2 記載の画像処理装置。

【請求項 4】 画像データを圧縮するための画像データ圧縮手段を有し、 2

次記憶装置に圧縮した状態で記憶することを特徴とする請求項 2 記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル複写機、スキャナ、プリンタ、ファクシミリなどの画像を取り扱う装置に備えられる画像処理装置に係り、特に、画像情報のデジタル処理を行うためのメモリ制御に特徴のある画像処理装置に関する。

【0002】

【従来の技術】

近年、複写機のデジタル化が進むと共に画像メモリを応用した加工、編集が盛んとなってきている。その中で、原稿複数枚分の画像データをメモリに記憶することで、指定部数まとめてコピー出力し仕分けの作業をなくす電子ソートという機能がある。複数枚の画像データを保持するため、半導体メモリのみで実現するにはメモリコストが膨大になるという理由から、半導体メモリ＋蓄積用メモリの構成とし、蓄積メモリとしては、半導体メモリより安価なハードディスク等の 2 次記憶装置の使用が一般的である。

【0003】

前述の半導体メモリの必要性としては、2 次記憶装置の転送速度と入出力画像転送速度との速度差吸収用バッファメモリ、メモリの読み出し時のアドレス操作による画像回転機能実現が理由としてあげられる。画像回転が不要ないシステムで、2 次記憶装置の転送速度が入出力画像転送速度と比べて十分速い場合は、入出力画像を直接 2 次記憶装置に記憶すればよく、半導体メモリは不要ない。また、2 次記憶装置ではシーケンシャルに記憶したデータを同一並びのシーケンシャルなデータとして読み出すのに対し、回転した並びとなるようにランダムに読み出した場合には極端にアクセス速度が低下し、複写機が要求する画像出力の速度を満たすことができない。

【0004】

一方、関連する技術としては、例えば特開平 6 - 1 6 8 1 8 3 号公報記載の発

明が公知である。

【0005】

この発明は、フレームバッファメモリごとの属性を管理するテーブルとフレームバッファメモリ内の情報を2次記憶装置に一時退避させる機能とを備え、残りのフレームバッファメモリサイズより大きなフレームバッファメモリサイズが要求された場合、前記テーブルを参照してフレームバッファメモリごとの属性を参照し、フレームバッファメモリの情報を2次記憶装置に一時退避させ、新たなジョブに必要なフレームバッファメモリサイズを確保するようにしたものである。前記テーブルにはジョブのステータスが記述されており、このステータスを見ることによってフレームバッファメモリの情報を一時退避させることが可能かどうかを判断する。

【0006】

【発明が解決しようとする課題】

以上の理由により、電子ソートを実現するデジタル複写機に「半導体メモリ＋2次記憶装置」の構成が多々用いられている。半導体メモリの容量としては、出力可能な最大転写紙サイズ分の量を持っているのが慣用的である。しかし、最大転写紙サイズ分のメモリ量を持っていても、出力可能な最大転写紙サイズでの画像回転を行うケースは少なく、また、2次記憶装置のアクセス速度が複写機のコピー速度に対応した画像転送速度に限りなく近い場合は、それ以下のメモリ量で速度差吸収の機能も果たしてしまい、余分な半導体メモリとも言える。

【0007】

なお、前記公知技術はメモリサイズの大小を比較して一時退避させることができるかどうかを判断しており、実質的には、転送されてきたデータを出力するまでの間、一時的に退避できるだけのメモリサイズがあればよいが、メモリサイズの絶対量で比較するので、どうしても大きなメモリサイズの確保が可能な容量の大きなメモリが必要となる。

【0008】

本発明は、このような従来技術の問題点に鑑みてなされたもので、その目的は、2次記憶装置から半導体メモリをバッファメモリとして使用してデータを一時

退避させる形式の記憶手段を備えた画像処理装置の信頼性の向上を図ることにある。

【 0 0 0 9 】

他の目的は、バッファメモリ量を変更する場合に、比較対象となる所定値を変更可能としたことで、様々なシステムに柔軟に対応することが可能な画像処理装置を提供することにある。

【 0 0 1 0 】

さらに他の目的は、2次記憶装置とやりとりするデータ量を低減し、これによって2次記憶装置への記憶処理時間を低減し、また、蓄積可能な原稿の枚数を増加させ、少ないバッファメモリ量でも高速でアクセス可能な生産性の高い画像処理装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

前記目的を達成するため、第1の手段は、2次記憶装置に記憶した画像データを読み出して半導体メモリに展開し、前記展開した画像データを半導体メモリから読み出しラスタ形式でライン毎に順次出力する記憶制御手段を有する画像処理装置において、前記半導体メモリからの転送処理が前記半導体メモリへの入力処理に追い付かれた状態になったときに、エラー情報を出力する手段を備えた構成とした。なお、エラー情報は後述の実施形態では、ライン設定部503で設定した値と入出力処理ライン計数値と転送処理ライン計数値の差を差分算出部504で取った値とを比較した結果に応じて差分比較器505から出力される。

【 0 0 1 2 】

また、第2の手段は、第1の手段と同様の前提の画像処理装置において、外部から入力される画像データを半導体メモリへ書き込む処理の処理ライン数を計数する入力処理ライン数計数手段と、前記半導体メモリから画像データを2次記憶装置へ転送する処理の処理ライン数を計数する転送処理ライン数計数手段と、前記入力処理ライン数計数手段による入力処理ライン数から、前記転送処理ライン数計数手段による転送処理ライン数を減算し、処理したライン数の差を算出するライン差分算出手段と、前記ライン差分算出手段による処理ライン数の差が0

となったことによって転送処理を一時停止し、1以上となると転送処理を再開する様に制御されるメモリの書き込み及び読み出しが時分割で並行して実行可能なメモリアクセス制御手段と、前記ライン差分算出手段による処理ライン数の差が所定値以上となるとエラー信号を外部へ出力するエラー信号出力手段とを備えた構成とした。なお、後述の実施形態では、入力処理ライン数計数手段には画像入出力部 4 0 2 が、転送処理ライン数計数手段には圧縮伸張部 4 0 3 が、ライン差分算出手段には差分算出部 5 0 4 が、メモリアクセス制御手段にはアクセス制御回路 5 0 9 がそれぞれ対応する。

【0 0 1 3】

この場合、前記差分ライン数と比較対象となる所定値を任意に設定可能とし、また、画像データを圧縮するための画像データ圧縮手段を設け、2次記憶装置に圧縮した状態で記憶するようにするとよい。なお、後述の実施形態では、前記所定値を任意に設定可能とするのは、ライン設定部 5 0 3 によって行われ、画像データの圧縮は圧縮伸張部 4 0 3 で行われる。

【0 0 1 4】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図 1 は本発明に係る画像処理装置の一実施形態としてのデジタル複写機を示すブロック図、図 2 は原稿を示す説明図、図 3 は図 1 の I P U から出力される画像データの同期信号を示すタイミングチャート、図 4 は図 1 の記憶部を詳細に示すブロック図、図 5 は画像データを 2 次記憶装置に転送する場合の図 4 のメモリ制御部の構成を詳細に示すブロック図、図 6 は画像データを像形成部に出力する場合の図 4 のメモリ制御部の構成を詳細に示すブロック図、図 7 は画像メモリに対するデータの書き込みと読み出しの状態を示す説明図である。

【0 0 1 5】

図 1 に示す読み取り部 1 では、原稿台 2 上の原稿 3 を露光ランプ 4 により照明し、その反射光を反射ミラー 5 により C C D イメージセンサ 6 に導き、C C D イメージセンサ 6 により光電変換して光の強弱に応じた電気信号に変換する。I P U (イメージプロセッシングユニット) 7 ではこの電気信号に対してシェーディン

グ補正等の処理を行って8ビットのデジタル信号にA/D変換し、更に変倍処理、ディザ処理等の画像処理を行い、この画像信号を同期信号と共にセクタ9を介して記憶部32または像形成部10内の書き込み部13に送る。スキャナ制御部8は以上のような読み取り部1のプロセスを実行するために各種センサの検知、駆動モータ等の制御を行い、また、I P U 7に対して各種パラメータを設定する。

【0016】

像形成部10では、一定の速度で時計回り方向に回転する感光体11の表面が帯電チャージャ12により一様に帯電され、次いで書き込み部13により画像データに応じて変調されたレーザ光により感光体11の表面に潜像が形成される。次いでこの潜像が現像装置14によりトナーで現像され、次いでこのトナー像が転写チャージャ15により転写紙に転写される。次いで感光体11の表面はクリーニング装置16により残存トナーが除去され、次いで除電チャージャ17により残存電荷が除去される。書き込み部13は図示省略されているが、レーザダイオード、ポリゴンミラー、ポリゴンモータ、f θ レンズ、同期検知素子等の公知のレーザ書き込み系により構成されている。

【0017】

給紙トレイ18に予めセットされている転写紙は、給紙コロ19により給紙され、次いでレジストローラ20により感光体11上のトナー像に一致するように搬送される。この転写紙は転写チャージャ15によりトナー像が転写された後、分離チャージャ21により感光体11から分離され、次いでトナー像が定着装置22により定着され、次いで排紙コロ23により排紙トレイ24上に排出される。プロッタ制御部8は以上のような像形成部10のプロセスを実行するために各種センサの検知、駆動モータ等の制御を行う。

【0018】

また、この複写機はシステム制御部30と、操作部31と、記憶部32とFAX部33を有し、システム制御部30への指示はオペレータが操作部31に対してキー入力を行うことにより行われる。システム制御部30は操作部31の入力状態を検知し、読み取り部1内のスキャナ制御部8、記憶部32、像形成部10

内のプロッタ制御部 8 に対して各種パラメータを設定したり、プロセス実行指示を行い、また、システム全体の状態を操作部 3 1 に表示させる。

【 0 0 1 9 】

記憶部 3 2 は通常は、I P U 7 からセクタ部 9 を介して入力する 1 原稿分の画像データを記憶することによりリピートコピー、回転コピー等の複写アプリケーションに使用される。セクタ部 9 はシステム制御部 3 0 からの指示に基づいて、像形成部 1 0 が画像形成を行うソースを読み取り部 1 又は記憶部 3 2 に切り替えたり、記憶部 3 2 が記憶する画像データのソースを読み取り部 1 又は F A X 部 3 3 に切り替える。

【 0 0 2 0 】

I P U 7 から出力される画像データは図 3 に示すような各種同期信号に同期している。フレームゲート信号 (/ F G A T E) は、画像エリアの副走査方向の画像有効範囲を示す信号であり、ローレベルの間画像データが有効 (ローアクティブ) になる。また、このフレームゲート信号 (/ F G A T E) はライン同期信号 (/ L S Y N C) の立ち上がりでアサート、ネゲートされる。ライン同期信号 (/ L S Y N C) が画素クロック (P C L K) の立ち上がりエッジから所定の数の画素クロック (P C L K) だけアサートされ、信号 (/ L S Y N C) の立ち上がり後、所定クロック後に画像データの主走査方向が有効になる。

【 0 0 2 1 】

I P U 7 から送られてくる画像データは、画素クロック (P C L K) の 1 周期に対して 1 つであり、図 2 において矢印で示すコーナから主、副走査方向に 4 0 0 d p i 相当で分割されたデータである。画像データは矢印で示すコーナを先頭にしてラスタ形式のデータとして送出され、また、画像データの副走査方向の有効範囲は、通常、転写紙のサイズにより決まる。

【 0 0 2 2 】

F A X 部 3 3 はシステム制御部 3 0 からの指示により送られてきた画像データを G 3 , G 4 F A X のデータ転送規定に基づいて 2 値圧縮を行い、電話回線へ転送する。また、電話回線から F A X 部 3 3 に転送されたデータは復元されて 2 値の画像データとされ、像形成部 1 0 の書込部 1 3 へ送られ、顕像化される。

【 0 0 2 3 】

セクタ部 9 は、システム制御部 3 0 からの指示によりセクタの状態を変化させ、像形成を行う画像データのソースを読取部 1、記憶部 3 2、及び F A X 部 3 3 のいずれかから選択する。

【 0 0 2 4 】

記憶部 3 2 は通常 I P U 7 から入力される原稿の画像データを記憶することによってリピートコピー、回転コピーなどの複写アプリケーションに使用される。また、F A X 部 3 3 からの 2 値画像データを一時記憶するバッファメモリとしても使用される。なお、これらのデータ記憶の指示はシステム制御部 3 0 によって行われる。

【 0 0 2 5 】

記憶部 3 2 の詳細な構成を図 4 に示す。同図から分かるように記憶部 3 2 は、メモリ制御部 4 0 1 と、このメモリ制御部 4 0 1 によって制御される画像入出力部 4 0 2、圧縮伸張部 4 0 3 および半導体メモリからなる画像メモリ 4 0 4 と、圧縮伸張部 4 0 3 とデータのやり取りを行う 2 次記憶装置としてのハードディスク装置 (H D) 4 0 5 とから構成されている。

【 0 0 2 6 】

画像入出力部 4 0 2 は C P U およびロジックで構成され、メモリ制御部 4 0 1 と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行う。また、画像入出力部 4 0 2 の状態を知らせるためステータス情報としてメモリ制御部 4 0 1 に送信する。画像入力のコマンドを受けた場合、入力画像データを入力画素同期信号にしたがって 8 画素単位のメモリデータとしてメモリ制御部 4 0 1 にメモリアクセス信号とともに随時出力する。画像出力のコマンドを受けた場合、メモリ制御部 4 0 1 からの画像データを出力画素同期信号に同期させて出力する。

【 0 0 2 7 】

圧縮伸張部 4 0 3 は C P U およびロジックで構成され、メモリ制御部 4 0 1 と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行う。また、圧縮伸張処理の状態を知らせるためステータス情報としてメモリ制御部 4 0 1 に

送信する。圧縮のコマンドを受けた場合、メモリ制御部 4 0 1 にメモリアクセス要求信号を出力し、メモリアクセス許可信号をアクティブの場合に画像データを受け取って圧縮処理を行い、圧縮データとしてハードディスク装置 4 0 5 に記憶する。伸張のコマンドを受けた場合、ハードディスク装置 4 0 5 に記憶する圧縮データを読み出して伸張処理を行い、圧縮時と同様なアクセス方法でメモリ制御部 4 0 1 に出力する。

【 0 0 2 8 】

また、図 4 に示した様にハードディスク装置 (HD) 4 0 5 と画像メモリ (半導体メモリ) 4 0 4 との間に圧縮伸張部 4 0 3 を設けたことで、データ量を削減し、ハードディスク装置 (HD) 4 0 5 のアクセスの負担を軽減するようにしている。

【 0 0 2 9 】

メモリ制御部 4 0 1 も CPU 及びロジックで構成され、システム制御部 3 0 との通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行い、また、記憶部 3 2 の状態を知らせるためステータス情報として送信する。

【 0 0 3 0 】

システム制御部 3 0 からの動作コマンドには、画像入力、画像出力、圧縮、伸張などがあり、画像入力、画像出力のコマンドは画像入出力部 4 0 2 に、圧縮、伸張のコマンドは圧縮伸張部 4 0 3 に送信される。

【 0 0 3 1 】

画像メモリ 4 0 4 は DRAM などの半導体記憶素子 (半導体メモリ) からなり、画像データを記憶する。ここでは、メモリ量の合計は 4 0 0 D P I、2 値画像データの A 4 サイズ分である 2 M バイトとしており、前述のようにメモリ制御部 4 0 1 によって書き込み及び読み出しの制御が行われる。ハードディスク装置 4 0 5 は大量にデータを記憶できる磁気記録媒体からなる 2 次記憶装置である。なお、この 2 次記憶装置は、大量にデータを格納することが可能で、データアクセス速度がある程度の速さであれば、光磁気記録などの他の情報記録装置を使用できることは言うまでもない。

【 0 0 3 2 】

図5にメモリ制御部401のアドレス発生部及び比較部の構成を示す。メモリ制御部30は、入出力画像アドレスカウンタ501、転送画像アドレスカウンタ502、ライン設定部503、差分算出部504、差分比較部505、アドレスセクタ506、アービタ507、要求マスク部508、及びアクセス制御回路509から構成されている。

【0033】

入出力画像アドレスカウンタ501は、入出力メモリアクセス要求信号に応じてカウントアップするアドレスカウンタで、入出力画像データが格納される格納場所を示す22ビットのメモリアドレスを出力する。メモリアクセス開始時にアドレスは一旦初期化される。

【0034】

転送画像アドレスカウンタ502は、転送メモリアクセス許可信号に応じてカウントアップするアドレスカウンタで、転送画像データが格納される格納場所を示す22ビットのメモリアドレスを出力する。メモリアクセス開始時にアドレスは一旦初期化される。

【0035】

ライン設定部503は画像入力時のバッファとして画像（半導体）メモリ404を使用する場合の差分比較部505で差分算出部504から出力された入力処理ラインと転送ラインの差分結果と比較する値をシステム制御部30から設定する。前記値は任意に設定することが可能である。このライン設定部503を備えたことで、入力先のライン周期、ハードディスク装置（2次記憶装置）405との転送速度等のシステム条件に応じて、比較対象となる所定値を変更することができる。これにより、様々なシステムに柔軟に対応することが可能となる。

【0036】

差分算出部504は画像入力時には、圧縮伸長部403が出力する転送処理ライン数から画像入出力部402が出力する入出力処理ライン数を減算し、結果を差分比較部505に出力する。

【0037】

差分比較部505は、画像入力時には、差分算出部504が出力する差分ライ

ン数と、ライン設定部 5 0 3 が出力する設定値とを大小比較し、

差分ライン数 = 設定値

となったならばエラー信号を出力し、また、

差分ライン数 = 0

となったならばアービタ 5 0 7 に出力する比較結果の転送要求マスク信号をアクティブとする。それ以外、または入出力画像が動作中でない状態では、アクティブを出力しない。

【 0 0 3 8 】

アドレスセクタ 5 0 6 は、アービタ 5 0 7 により選択されるセクタで、入力画像または転送画像のアドレスのどちらが選択される。

【 0 0 3 9 】

アービタ 5 0 7 は、圧縮伸張部 4 0 3 のアクセスのためのメモリアクセス許可信号を出力する。アドレス比較信号がアクティブで入出力メモリアクセス信号が非アクティブの条件でメモリアクセス許可信号を出力する。

【 0 0 4 0 】

要求マスク部 5 0 8 は、差分比較器 5 0 5 からの比較結果によって圧縮伸張部 4 0 3 のアクセスのための転送メモリアクセス要求信号をマスク（ディスイネーブル状態とすること）し、転送処理を停止させる。

【 0 0 4 1 】

アクセス制御回路 5 0 9 は、入力される物理アドレスをアクセス制御回路 5 0 9 からの信号により画像（半導体）メモリ 4 0 4 である D R A M に対応したロウアドレス、カラムアドレスに分割し 1 1 ビットのアドレスバスに出力する。また、アービタ 5 0 7 からのアクセス開始信号に従い、D R A M 制御信号（R A S、C A S、W E）を出力する。

【 0 0 4 2 】

記憶部 3 2 の全体の動作としては、システム制御部 3 0 からの画像入力指示により、メモリ制御部 4 0 1 は初期化され画像データの待ち状態となり、スキャナ（読み取り部）1 が動作することにより記憶部 3 2 に画像データが入力される。入力された画像データは一旦画像（半導体）4 0 4 メモリに書き込まれる。また

、書き込まれた画像データの処理ライン数は画像入出力部 4 0 2 で計数され、メモリ制御部 4 0 1 へと入力される。圧縮伸長部 4 0 3 は、画像転送のコマンドを受けて転送メモリアクセス要求信号を出力しているが、メモリ制御部 4 0 1 の要求マスク部 5 0 8 により要求信号がマスクされ、実際のメモリアクセスは行われていない。画像入出力部 4 0 2 からの入力データが 1 ライン終了することで、転送メモリアクセス要求信号のマスクが解除され、画像（半導体）メモリ 4 0 4 の読み出しが行われ画像データの圧縮伸長部 4 0 3 への転送動作が開始される。また、動作中も差分算出部 5 0 4 で 2 つの処理ライン数の差を算出し、0 となればアドレスの追い越しがない様に転送メモリアクセス要求信号にマスクをかけている。

【0 0 4 3】

図 6（a）は画像入力開始後の動作途中のメモリアクセスしている画像データの総量を、図 6（b）は実際の画像メモリ 4 0 4 でのライトとリード動作のアクセスアドレスの状態の様子を示している。

【0 0 4 4】

差分算出部 5 0 4 では 2 つの処理ライン数の差を算出し、その差が設定値を超えるかの管理を行っている。この様にすることで実際にアクセスしたデータ量としての差が、

設定ライン数×1 ラインのデータ量

を超え、

- ① 2 次記憶装置への転送が入力画像データの入力速度と比べ極端に遅い。
- ② バッファメモリ量が適切でない。
- ③ 転送処理の異常状態。

等の理由で、2 巡目でのアドレスの追い越しが発生した場合、この追い越しを早期に発見できる。また、処理ライン数の差で管理しているので簡単な構成で実現できる。本例では、2 M バイトの半導体メモリしか持たずに 4 M バイトの画像データを外部から記憶部 3 2 へ入力している。また、アドレスカウンタが最上位のアドレスをアクセスするとアドレス 0 に戻る様な構成となっているため、アクセスするデータ量が 2 M バイトを超すと同一アドレスを 2 巡することになる。

【0045】

画像入力時に前記差分算出部504がオーバーフローを起こしたことでエラー信号をシステム制御部30に送信することにより、比較対象の所定値を誤って設定した場合や、システム上のトラブルで転送処理が入力処理に追い越される場合に早期に問題が発見できる。

【0046】

【発明の効果】

以上のように、請求項1記載の発明によれば、半導体メモリからの転送処理が半導体メモリへの入力処理に追い付かれた状態になったときに、エラー情報を出力するので、早期に問題が発見でき、半導体メモリをバッファメモリとして使用してデータを一時退避させる形式の記憶手段を備えた画像処理装置の信頼性の向上を図ることができる。

【0047】

請求項2記載の発明によれば、入力処理ライン数計数手段と、転送処理ライン数計数手段と、処理したライン数の差を算出するライン差分算出手段と、前記ライン差分算出手段による処理ライン数の差が0となったことによって転送処理を一時停止し、1以上となると転送処理を再開する様に制御されるメモリの書き込み及び読み出しが時分割で並行して実行可能なメモリアクセス制御手段と、前記ライン差分算出手段による処理ライン数の差が所定値以上となるとエラー信号を外部へ出力するエラー信号出力手段とを備えているので、システム上のトラブルでバッファメモリ量が不足し、転送処理が入力処理に追い越される場合に、エラー信号を出力することにより早期に問題が発見でき、2次記憶装置から半導体メモリをバッファメモリとして使用してデータを一時退避させる形式の記憶手段を備えた画像処理装置の信頼性の向上を図ることができる。

【0048】

請求項3記載の発明によれば、差分ライン数と比較対象となる所定値を任意に設定可能な設定手段を備えているので、入力先のライン周期、2次記憶装置との転送速度等のシステム条件に応じて、比較対象となる所定値を変更することができ、これによって、様々なシステムに柔軟に対応することが可能な画像処理装

置を提供することができる。

【0049】

請求項4記載の発明によれば、画像データを圧縮するための画像データ圧縮手段を有し、2次記憶装置に圧縮した状態で記憶するので、2次記憶装置とやりとりするデータ量を低減し、これによって2次記憶装置への記憶処理時間の低減、及び蓄積可能な原稿の枚数が増え、高速で生産性の高い画像処理装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明に係る画像処理装置の一実施形態としてデジタル複写機を示すブロック図である。

【図2】

原稿を示す説明図である。

【図3】

図1のIPUから出力される画像データの同期信号を示すタイミングチャートである。

【図4】

図1の記憶部を詳細に示すブロック図である。

【図5】

画像データを2次記憶装置に転送する場合の図4のメモリ制御部の構成を詳細に示すブロック図である。

【図6】

画像メモリに対するデータの書き込みと読み出しの状態を示す説明図である。

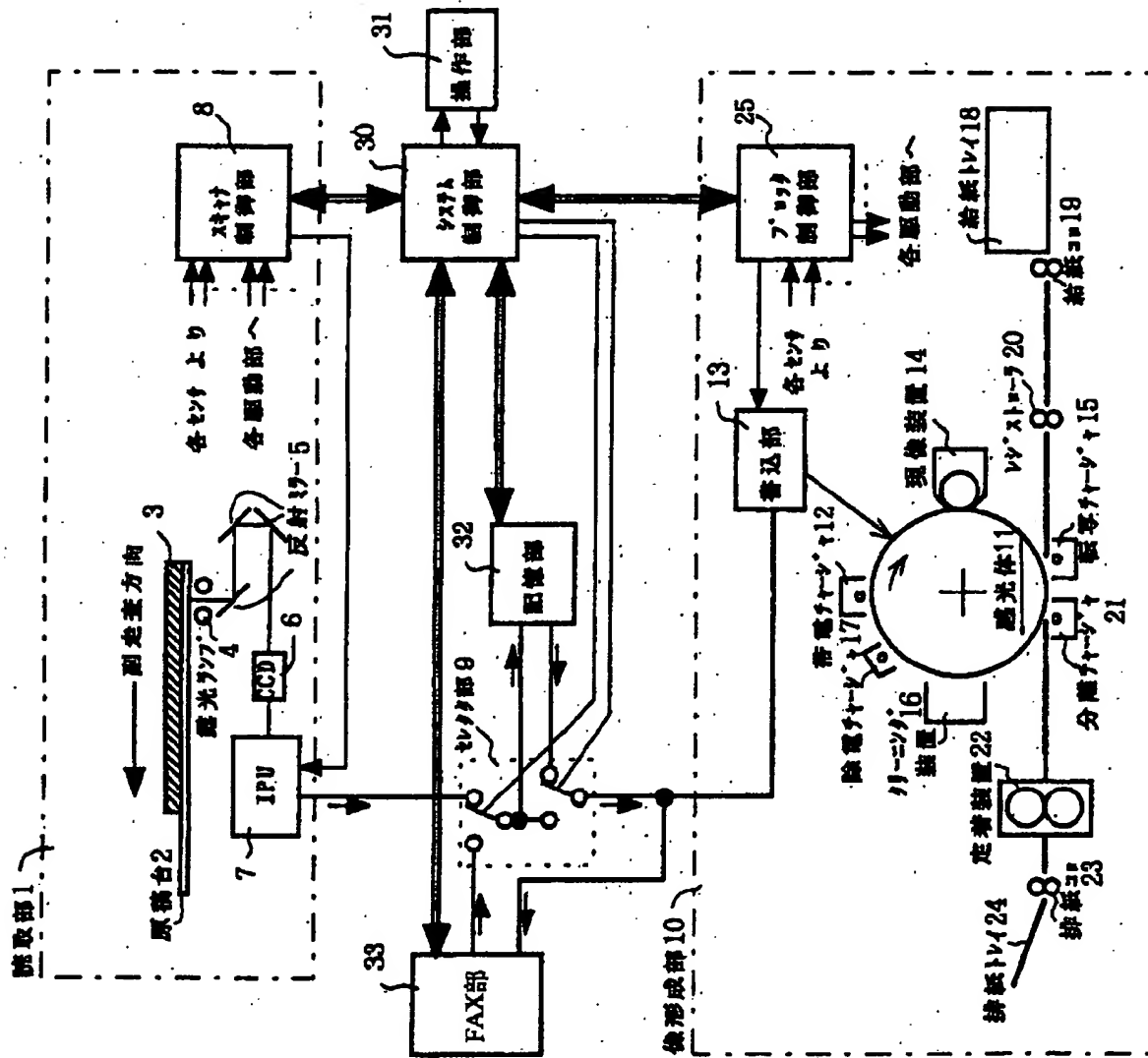
【符号の説明】

- 1 読み取り部
- 10 像形成部
- 30 システム制御部
- 32 記憶部
- 401 メモリ制御部

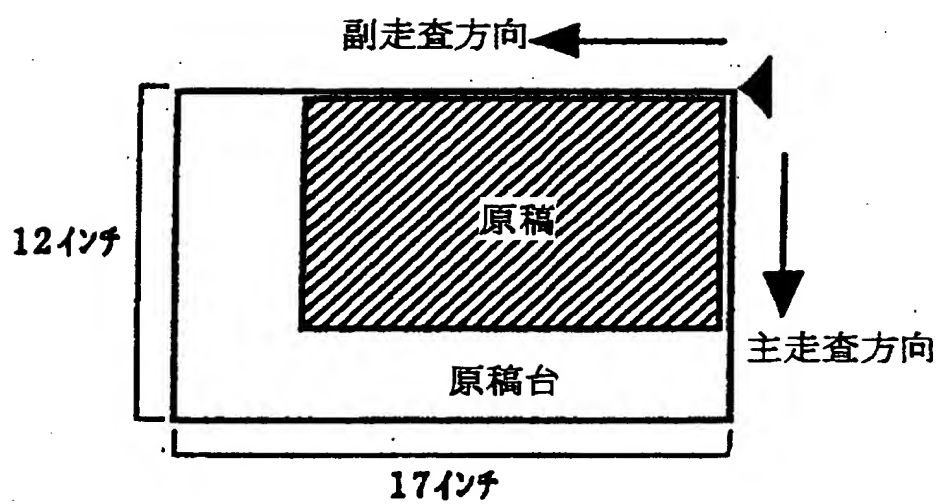
- 4 0 2 画像入出力部
- 4 0 3 圧縮伸張部
- 4 0 4 画像メモリ
- 4 0 5 ハードディスク装置
- 5 0 1 入出力画像アドレスカウンタ
- 5 0 2 転送画像アドレスカウンタ
- 5 0 3 ライン設定部
- 5 0 4 差分算出部
- 5 0 5 差分比較部
- 5 0 6 アドレスセレクタ
- 5 0 7 アービタ
- 5 0 8 要求マスク部
- 5 0 9 アクセス制御回路

【書類名】 図面

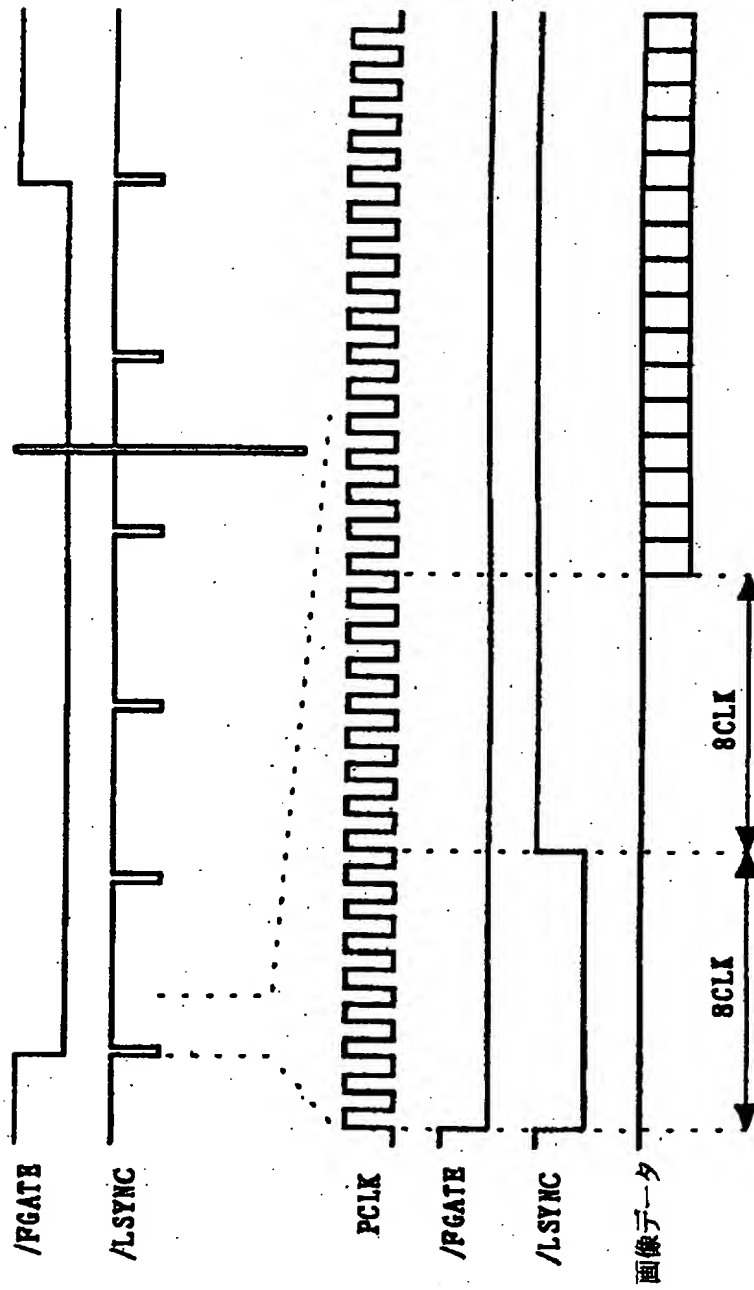
【図 1】



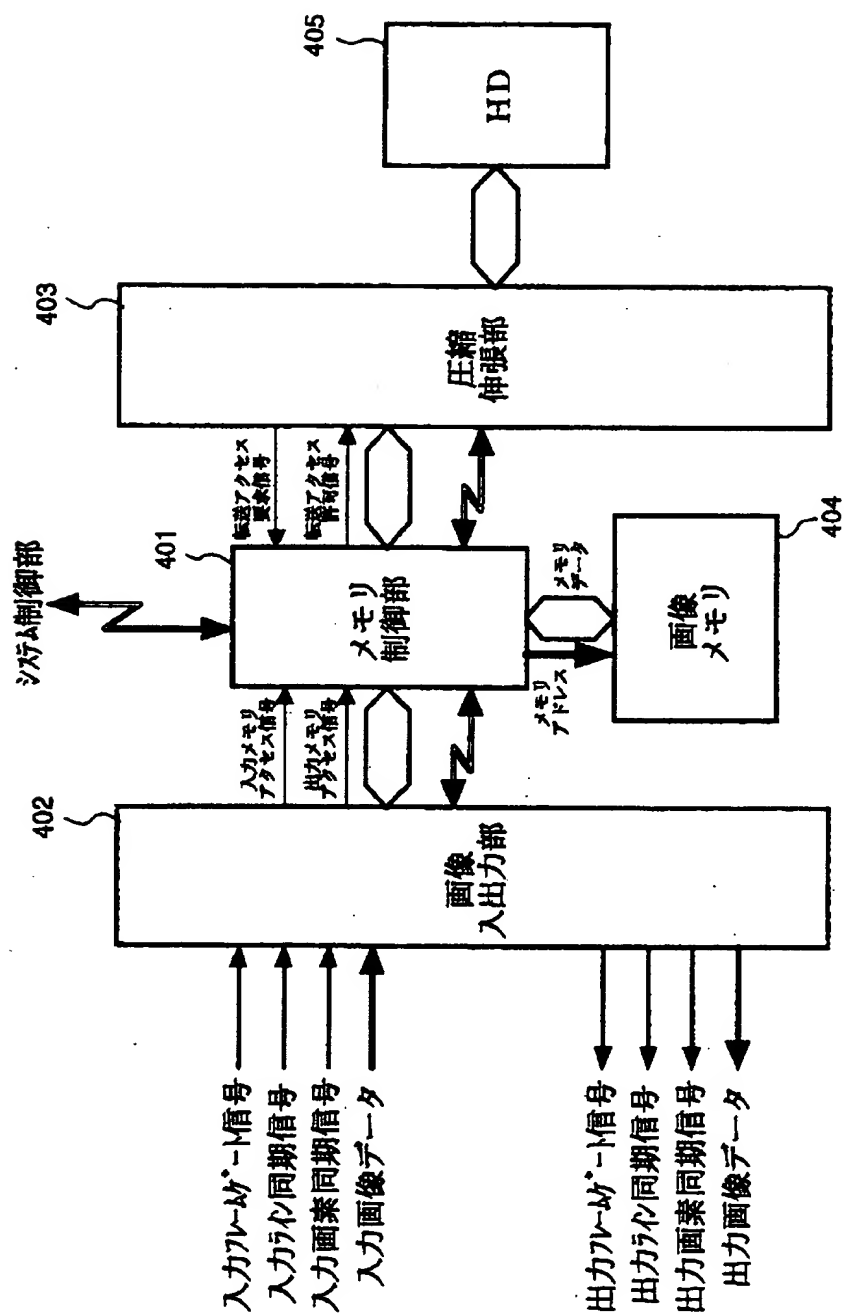
【図 2】

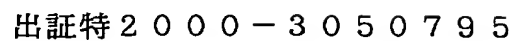


【図 3】

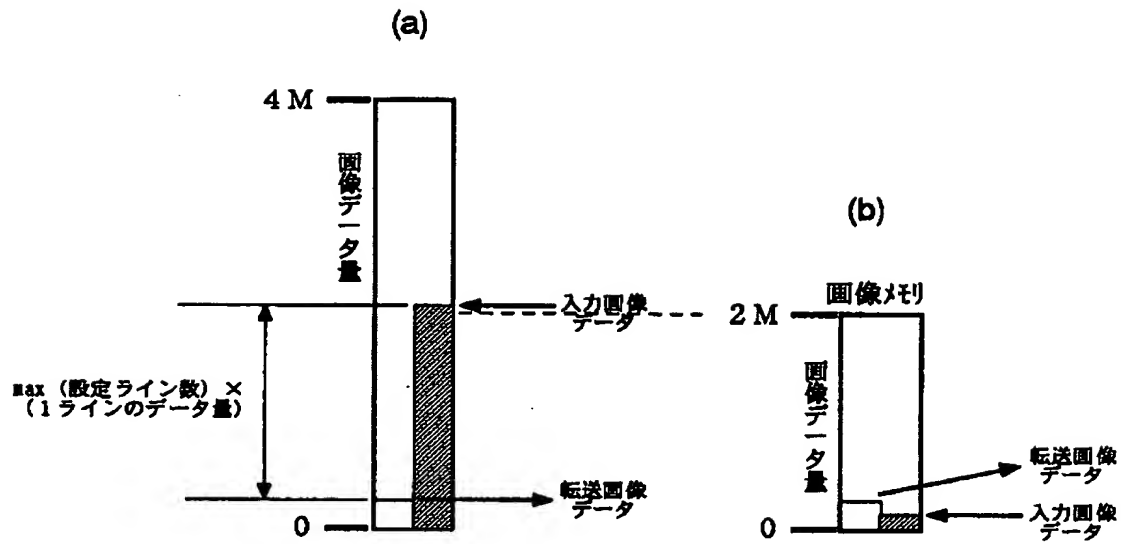


【図 4】





【図 6】



【書類名】 要約書

【要約】

【課題】 2次記憶装置から半導体メモリをバッファメモリとして使用してデータを一時退避させる形式の記憶手段を備えた画像処理装置の信頼性の向上を図る。

【解決手段】 外部から入力される画像データを半導体メモリへ書き込む処理の処理ライン数を計数する画像入出力部と、前記半導体メモリから画像データを2次記憶装置へ転送する処理の処理ライン数を計数する圧縮伸張部と、前記画像入出力部で計数された入力処理ライン数から、前記圧縮伸張部で計数された転送処理ライン数を減算し、処理したライン数の差を算出する差分算出部504と、前記差分算出部504による処理ライン数の差が0となったことによって転送処理を一時停止し、1以上となると転送処理を再開する様に制御されるメモリの書き込み及び読み出しが時分割で並行して実行可能なメモリアクセス制御回路509と、前記差分算出部504による処理ライン数の差がライン設定部503で設定した値以上となるとエラー信号を外部へ出力する差分比較器505とを備えた。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー